



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0091419
Application Number

출 원 년 월 일 : 2003년 12월 15일
Date of Application DEC 15, 2003

출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2004 년 03 월 25 일

특 허 청

COMMISSIONER





1020030091419

출력 일자: 2004/3/25

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2003. 12. 15
【발명의 명칭】	반도체 장치용 출력 드라이버
【발명의 영문명칭】	Output driver for semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	노광명
【성명의 영문표기】	RHO, Kwang Myoung
【주민등록번호】	670220-1038027
【우편번호】	442-735
【주소】	경기도 수원시 팔달구 영통2동 산나무실 극동아파트 612동 1501호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	16 항 621,000 원
【합계】	657,000 원
【첨부서류】	1. 요약서·명세서(도면) 1통

【요약서】**【요약】**

본 발명은 반도체 장치용 출력 드라이버로부터 출력되는 신호의 슬루 레이트 특성을 개선한 회로에 관한 것이다.

본 발명에 따른 반도체 장치용 출력 드라이버는 제 1 신호를 수신하여 슬루 레이트가 제어된 제 2 신호를 출력하는 제 1 프리 드라이버와, 제 3 신호를 수신하여 슬루 레이트가 제어된 제 4 신호를 출력하는 제 2 프리 드라이버와, 전원전압과 접지전압사이에 직렬로 연결되어 있는 풀업 트랜ジ스터와 풀다운 트랜지스터를 구비하며, 상기 풀업 트랜지스터는 상기 제 2 신호에 의하여 턴온/오프되며, 상기 풀다운 트랜지스터는 상기 제 4 신호에 의하여 턴온/오프된다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

반도체 장치용 출력 드라이버{Output driver for semiconductor device}

【도면의 간단한 설명】

도 1은 PVT 변동에 의한 슬루 레이트 변동을 일정 범위내로 유지하기 위한 종래의 출력 드라이버의 회로도.

도 2는 본 발명에 따른 슬루 레이트의 변동을 억제하는 회로의 일예로서, 특히 폴링 슬루 레이트 변동을 억제하기 위한 프리 드라이버 회로의 일예.

도 3은 본 발명에 따른 슬루 레이트의 변동을 억제하는 회로의 일예로서, 특히 라이징 슬루 레이트 변동을 억제하기 위한 프리 드라이버 회로의 일예.

도 4는 도 2와 도 3의 프리 드라이버 회로를 구비한 본 발명의 일실시예인 출력 드라이버.

도 5는 슬루 레이트 제어를 위한 프리 드라이버 회로를 구비한 본 발명의 제 2 실시예인 출력 드라이버.

도 6은 슬루 레이트 제어를 위한 프리 드라이버 회로를 구비한 본 발명의 제 3 실시예인 출력 드라이버.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 반도체 장치용 출력 드라이버에 관한 것으로서, 특히 슬루 레이트(slew rate) 특성을 개선한 반도체 장치용 출력 드라이버에 관한 것이다.

<8> 디램과 같은 반도체 장치는 칩 컨트롤러와 같은 외부 시스템과 데이터를 수수하기 위하여 구동 능력이 큰 출력 드라이버를 필요로 한다. 일반적으로, 구동 능력이 큰 출력 드라이버의 슬루 레이트(slew rate)는 그 최소값이 존재한다. 즉, PVT(process-voltage-temperature) 변동에도 불구하고 출력 드라이버에서의 슬루 레이트는 최소값보다 크도록 설계되어야 한다.

<9> 그러나, 슬루 레이트가 일정 수준을 초과하는 경우에는 다음과 같은 문제점이 발생할 수 있다.

<10> 첫째, 출력 드라이버에서의 슬루 레이트가 너무 크게 되면 출력 드라이버에서 소비되는 순간 전류가 커지게 된다. 이 경우, 파워 라인의 저항과 인덕턴스의 영향으로 인하여 구동 전압이 감소하고 링잉 현상이 발생될 수 있다.

<11> 둘째, 슬루 레이트가 증가하는 경우, 디램과 같은 반도체 장치와 외부 시스템간을 연결하는 전송선의 불완전한 터미네이션 (termination)으로 인하여 반사파 효과가 커지게 되며, 이는 SI(signal integrity)의 저하를 초래할 수 있다.

<12> 이러한 이유로 인하여, 출력 드라이버에서의 슬루 레이트가 일정 값 이상을 초과하지 않도록 하는 것도 중요하다. 따라서, 설계자는 출력 드라이버의 설계시, PVT 변동에 대하여 슬루 레이트 값이 최소값과 최대값 사이에 위치하도록 설계하는 것이 바람직하다.

<13> 도 1은 PVT 변동에 의한 슬루 레이트 변동을 일정 범위내로 유지하기 위한 종래의 출력 드라이버의 회로도이다.

<14> 도 1에서, 프리-드라이버(Pre-driver: 100)는 /up 신호가 로우 레벨로 인에이블되는 경우, 풀업 트랜지스터(11)를 터온시키며, 프리-드라이버(Pre-driver: 110)는 dn 신호가 하이 레벨로 인에이블되는 경우, 풀다운 트랜지스터(12)를 터온시킨다. 풀업 트랜지스터(11)와 풀다운 트랜지스터(12) 사이에 직렬로 연결된 저항(13, 14)은 출력 드라이버에서의 슬루 레이트 값을 감소시키는 역할을 한다. 즉, 종래의 경우에는 출력 드라이버의 출력단에 저항을 삽입하여 슬루 레이트가 일정 값 이상을 초과하지 않도록 하고 있음을 알 수 있다.

<15> 그러나, 도 1의 경우, PVT 변동에 의하여 저항값이 변동하는 경우 여전히 슬루 레이트의 값이 불안정함을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 프리 드라이버에서 신호의 슬루 레이트를 미리 제어하는 방법을 제공하고자 한다.

【발명의 구성 및 작용】

<17> 본 발명에 따른 반도체 장치용 출력 드라이버는 제 1 신호를 수신하여 상기 제 1 신호의 슬루 레이트를 제어한 후, 제 2 신호를 출력하는 제 1 프리 드라이버와, 제 3 신호를 수신하여 상기 제 3 신호의 슬루 레이트를 제어한 후, 제 4 신호를 출력하는 제 2 프리 드라이버와, 전

원전압과 접지전압사이에 직렬로 연결되어 있는 풀업 트랜지스터와 풀다운 트랜지스터를 구비하며, 상기 풀업 트랜지스터는 상기 제 2 신호에 의하여 턴온/오프되며, 상기 풀다운 트랜지스터는 상기 제 4 신호에 의하여 턴온/오프된다.

<18> (실시예)

<19> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.

<20> 도 2는 본 발명에 따른 슬루 레이트의 변동을 억제하는 회로의 일예로서, 특히 폴링 슬루 레이트 변동을 억제하기 위한 프리 드라이버 회로의 일예이다.

<21> 도 2의 프리 드라이버는 도 4에 도시된 출력 드라이버의 풀업 트랜지스터(41)의 동작을 제어하는 회로이다.

<22> 도 2에 도시된 풀업 프리 드라이버는 제 1 신호(up)를 수신하는 CMOS 인버터(200)와, 제 1 신호(up)를 수신하여 일정한 폭을 갖는 펄스 신호를 출력하는 펄스 생성 회로(210)와, 펄스 생성 회로(210)로부터 출력되는 펄스 신호를 수신하는 제 1 제어부(220)와, 제 1 제어부(220)로부터 출력되는 제어신호에 의하여 턴온/오프되는 제 2 제어부(230)를 구비한다.

<23> 도 2에서, 제 2 제어부(230)는 전원전압과 CMOS 인버터(200)의 출력단 사이에 위치하며, 제 2 신호(/up)는 CMOS 인버터(200)의 출력단에서의 출력 신호를 나타낸다. 펄스 생성 회로(210)로부터 발생된 펄스 신호에 의하여 제 1 및 제 2 제어부(220, 230)가 순차적으로 인에이블된다. 제 2 제어부(230)가 인에이블되는 경우 전원전압이 CMOS 인버터(220)의 출력단으로 공급된다. 제 1 제어부(220)는 전원전압과 접지전압 사이에 직렬로 연결된 저항 성분(28)과 NMOS 트랜지스터(27)로 구성된다. CMOS 인버터(200)는 전원전압과 접지전압 사이에 위치하며,

CMOS 인버터의 NMOS 트랜지스터(22)와 제 1 제어부(220)의 NMOS 트랜지스터(27)는 PVT 변동 특성이 유사하다. 도 2에서, 제 2 제어부(230)는 PMOS 트랜지스터(29)로 구성된다.

<24> 이하 도 2에 도시된 풀업 프리 드라이버의 동작을 설명한다.

<25> 도 2에 도시된 풀업 프리 드라이버는 도 4에 도시된 풀업 프리 드라이버(400)에 대응하는 회로로서, 도 4에 도시된 풀업 트랜지스터(41)를 구동하는 회로이다.

<26> 도 2에서, CMOS 인버터(200)에 인가되는 신호(up)가 하이 레벨로 천이하면, CMOS 인버터(200)를 구성하는 NMOS 트랜지스터(22)가 활성화된다. 따라서, CMOS 인버터(200)의 출력 신호(/up)는 로우 레벨로 천이한다. 따라서, 도 4에 도시된 풀업 트랜지스터(41)가 구동되어 하이 레벨 신호를 출력단으로 전달한다.

<27> 이러한 동작에 있어서, 도 2의 NMOS 트랜지스터(22)의 동작 특성이 도 4에 도시된 출력 드라이버의 라이징 슬루 레이트에 직접 영향을 미침을 알 수 있다. 즉, 도 2에 도시된 NMOS 트랜지스터(22)의 슬루 레이트는 도 4에 도시된 풀업 트랜지스터(41)의 슬루 레이트에 영향을 미치게 된다.

<28> 본 발명에서는 펄스 생성 회로(210)와 제 1 및 제 2 제어부(220, 230)을 제공하여 NMOS 트랜지스터(22)의 슬루 레이트를 조절하는 방법을 제안한다.

<29> 본 발명의 기본적인 사상은 신호(up)가 하이 레벨로 천이 하는 경우 이를 감지한 후, 제 2 제어부(230)를 터온시켜 신호(/up)의 슬루 레이트를 감소시키는 것이다.

<30> 이를 위하여, 펄스 생성 회로(210)는 신호(up)를 수신하여 소정 폭을 갖는 펄스 신호를 생성한다. 펄스 생성 회로(210)는 인버터(23)와 지연회로(24)와 낸드

게이트(25)와 인버터(26)로 구성되어 있다, 인버터(23)와 지연회로(24)는 직렬로 연결되어 있다. 지연회로(24)의 출력단은 낸드 게이트(25)의 입력단과 연결된다. 신호(up)는 낸드 게이트의 입력단과 인버터(23)에 인가된다. 따라서, 신호(up)의 레벨이 변하는 경우, 펄스 생성 회로(210)는 이를 감지하여 소정 폭을 갖는 펄스 신호를 생성한다.

<31> 제 1 제어부(220)는 전원전압과 접지전압 사이에 직렬 연결된 저항 성분(28)과 NMOS 트랜지스터(27)로 구성된다. 펄스 생성 회로(210)로 출력단은 NMOS 트랜지스터(27)의 게이트에 인가된다. 따라서, 펄스 신호가 하이 레벨로 인에이블되어 있는 동안 NMOS 트랜지스터(27)는 터온된다.

<32> 제 2 제어부(230)는 PMOS 트랜지스터(29)로 구성된다. PMOS 트랜지스터(29)의 게이트는 라인(N23)를 통하여 제 1 제어부(220)의 NMOS 트랜지스터(27)의 드레인과 연결된다. NMOS 트랜지스터(27)가 터온되어 있는 동안, PMOS 트랜지스터(29)는 터온된다. PMOS 트랜지스터(29)가 터온되면, 전원전압이 CMOS 인버터(200)의 출력단인 노드(N22)로 전달된다. 따라서, CMOS 인버터(200)로부터 출력되는 슬루 레이트를 감소시키는 효과를 얻을 수 있다.

<33> 본 발명의 동작을 보다 구체적으로 설명하면 다음과 같다.

<34> 만약, 프로세스, 전압 또는 온도 등의 변동으로 인하여, NMOS 트랜지스터(22)의 전류 구동 능력이 커진 경우, 풀업 프리 드라이버의 출력 신호(즉, CMOS 인버터의 출력신호)의 슬루 레이트가 증가하게 된다. 즉, CMOS 인버터의 입력단에 로우 레벨에서 하이 레벨로 천이하는 신호(up)가 인가되면, 구동 능력이 큰 NMOS 트랜지스터(22)의 영향을 받아서, 하이 레벨에서 로우 레벨로 천이하는 CMOS 인버터의 출력신호의 슬루 레이트가 커지게 된다.

<35> PVT 변동으로 인하여 NMOS 트랜지스터(22)의 구동 능력이 커지는 경우, NMOS 트랜지스터(22)와 유사한 PVT 특성을 갖는 NMOS 트랜지스터(27)의 구동 능력도 증가하게 된다. 따라서, 노드(N23)의 전위는 빠른 시간내에 로우 레벨로 천이한다. 그 결과, PMOS 트랜지스터(29)는 짧은 시간내에 턴온되어 전원전압을 CMOS 인버터(200)의 출력단으로 전달할 수 있다. 따라서, 하이 레벨에서 로우 레벨로 천이하는 CMOS 인버터의 출력신호의 폴링 슬루 레이트의 증가를 억제하는 효과를 얻을 수 있다.

<36> 펄스 생성 회로(210)로부터 출력되는 펄스 신호(하이 레벨 펄스 신호)는 입력 신호(up)의 라이징 에지 시점에 발생하여 일정 시간 동안 유지된다. 펄스 생성 회로(210)내의 지연회로(24)에서의 지연 시간을 조절하여 펄스의 폭을 조절할 수 있다.

<37> 도 3은 본 발명에 따른 슬루 레이트의 변동을 억제하는 회로의 일예로서, 특히 라이징 슬루 레이트 변동을 억제하기 위한 프리 드라이버 회로의 일예이다.

<38> 도 3의 프리 드라이버는 도 4에 도시된 출력 드라이버의 풀다운(42) 트랜지스터의 동작을 제어하는 회로이다.

<39> 도 3에 도시된 풀다운 프리 드라이버의 동작은 도 2의 풀업 프리 드라이버의 동작과 실질적으로 동일하다. 그러나, 도 3의 회로는 입력신호(/dn)가 하이에서 로우로 천이하는 경우, 로우에서 하이 레벨로 천이하는 풀업 프리 드라이버의 출력신호의 라이징 슬루 레이트를 억제하는 한다는 점에서 도 2의 경우와 차이가 있다.

<40> 도 3에 도시된 풀다운 프리 드라이버는 입력 신호(/dn)를 수신하는 CMOS 인버터(300)와, 입력 신호(/dn)를 수신하여 일정한 폭을 갖는 펄스 신호를 출력하는 펄스 생성 회로(310)와,

펄스 생성 회로(310)로부터 출력되는 펄스 신호를 수신하는 제 1 제어부(320)와, 제 1 제어부(320)로부터 출력되는 제어신호에 의하여 턴온/오프되는 제 2 제어부(330)를 구비한다.

<41> 도 3에서, 제 2 제어부(330)는 CMOS 인버터(300)의 출력단과 접지전압 사이에 위치하며, 출력신호(d_n)는 CMOS 인버터(300)의 출력단에서의 출력 신호를 나타낸다. 펄스 생성 회로(310)로부터 발생된 펄스 신호에 의하여 제 1 및 제 2 제어부(320, 330)가 순차적으로 인에이블된다. 제 2 제어부(330)가 인에이블되는 경우 접지전압이 CMOS 인버터(300)의 출력단으로 공급된다. 제 1 제어부(320)는 전원전압과 접지전압 사이에 직렬로 연결된 PMOS 트랜지스터(37)와 저항 성분(38)로 구성된다. CMOS 인버터(300)는 전원전압과 접지전압 사이에 위치하며, CMOS 인버터의 PMOS 트랜지스터(31)와 제 1 제어부(320)의 PMOS 트랜지스터(37)는 PVT 변동 특성이 유사하다. 도 3에서, 제 2 제어부(330)는 NMOS 트랜지스터(39)로 구성된다.

<42> 이하 도 3에 도시된 풀다운 프리 드라이버의 동작을 설명한다.

<43> 도 3에 도시된 풀다운 프리 드라이버는 도 4에 도시된 풀다운 프리 드라이버(410)에 대응하는 회로로서, 도 4에 도시된 풀다운 트랜지스터(42)를 구동하는 회로이다.

<44> 도 3에서, CMOS 인버터(300)에 인가되는 입력신호($/d_n$)가 하이에서 로우 레벨로 천이하면, CMOS 인버터(300)를 구성하는 PMOS 트랜지스터(31)가 활성화된다. 따라서, CMOS 인버터(300)의 출력 신호(d_n)는 로우에서 하이 레벨로로 천이한다. 따라서, 도 4에 도시된 풀다운 트랜지스터(42)가 구동되어 로우 레벨 신호를 출력단(OUT)으로 전달한다.

<45> 이러한 동작에 있어서, 도 3의 PMOS 트랜지스터(31)의 동작 특성이 도 4에 도시된 출력 드라이버에서의 출력신호의 폴링 슬루 레이트에 직접 영향을 미침을 알 수 있다. 즉, 도 3에

도시된 PMOS 트랜지스터(31)의 슬루 레이트는 도 4에 도시된 풀다운 트랜지스터(42)의 슬루 레이트에 영향을 미치게 된다.

<46> 본 발명에서는 펄스 생성 회로(310)와 제 1 및 제 2 제어부(320, 330)을 제공하여, PMOS 트랜지스터(31)의 슬루 레이트를 조절하는 방법을 제안한다.

<47> 본 발명의 기본적인 사상은 신호(/dn)가 하이에서 로우 레벨로 천이 하는 경우 이를 감지한 후, 제 2 제어부(330)를 턴온시켜 출력신호(dn)의 슬루 레이트를 감소시키는 것이다.

<48> 이를 위하여, 펄스 생성 회로(310)는 입력신호(/dn)를 수신하여 소정 폭을 갖는 펄스 신호를 생성한다. 펄스 생성 회로(310)는 인버터(33)와 지연회로(34)와 노아 게이트(35)와 인버터(36)로 구성되어 있다, 인버터(33)와 지연회로(34)는 직렬로 연결되어 있다. 지연회로(34)의 출력단은 노아 게이트(35)의 입력단과 연결된다. 입력 신호(/dn)는 노아 게이트(35)의 입력단과 인버터(33)에 인가된다. 따라서, 입력 신호(/dn)의 레벨이 변하는 경우, 펄스 생성 회로(310)는 이를 감지하여 소정 폭을 갖는 펄스 신호를 생성한다.

<49> 제 1 제어부(320)는 전원전압과 접지전압 사이에 직렬 연결된 PMOS 트랜지스터(37)와 저항 성분(38)로 구성된다. 펄스 생성 회로(310)로 출력단은 PMOS 트랜지스터(37)의 게이트에 인가된다. 따라서, 펄스 신호가 로우 레벨로 인에이블되어 있는 동안 PMOS 트랜지스터(37)는 턴온된다.

<50> 제 2 제어부(330)는 NMOS 트랜지스터(39)로 구성된다. NMOS 트랜지스터(39)의 게이트는 라인(N33)를 통하여 제 1 제어부(320)의 PMOS 트랜지스터(37)의 드레인과 연결된다. PMOS 트랜지스터(37)가 턴온되어 있는 동안, NMOS 트랜지스터(39)는 턴온된다. NMOS 트랜지스터(39)

가 턴온되면, 접지전압이 CMOS 인버터(300)의 출력단인 노드(N32)로 전달된다. 따라서, CMOS 인버터(300)로부터 출력되는 슬루 레이트를 감소시키는 효과를 얻을 수 있다.

<51> 본 발명의 동작을 보다 구체적으로 설명하면 다음과 같다.

<52> 만약, 프로세스, 전압 또는 온도 등의 변동으로 인하여, PMOS 트랜지스터(31)의 전류 구동 능력이 커진 경우, 풀다운 프리 드라이버의 출력 신호(즉, CMOS 인버터의 출력신호)의 슬루 레이트가 증가하게 된다. 즉, CMOS 인버터의 입력단에 하이 레벨에서 로우 레벨로 천이하는 신호(/dn)가 인가되면, 구동 능력이 큰 PMOS 트랜지스터(31)의 영향을 받아서, 로우 레벨에서 하이 레벨로 천이하는 CMOS 인버터(300)의 출력신호의 슬루 레이트가 커지게 된다.

<53> PVT 변동으로 인하여 PMOS 트랜지스터(31)의 구동 능력이 커지는 경우, PMOS 트랜지스터(31)와 유사한 PVT 특성을 갖는 PMOS 트랜지스터(37)의 구동 능력도 증가하게 된다. 따라서, 노드(N33)의 전위는 빠른 시간내에 하이 레벨로 천이한다. 그 결과, NMOS 트랜지스터(29)는 짧은 시간내에 턴온되어 접지전압을 CMOS 인버터(300)의 출력단으로 전달할 수 있다. 따라서, 로우 레벨에서 하이 레벨로 천이하는 CMOS 인버터(300)의 출력신호의 라이징 슬루 레이트의 증가를 억제하는 효과를 얻을 수 있다.

<54> 펄스 생성 회로(310)로부터 출력되는 펄스 신호(로우 레벨 펄스 신호)는 입력 신호(/dn)의 폴링 에지 시점에 발생하여 일정 시간 동안 유지된다. 펄스 생성 회로(310)내의 지연회로(34)에서의 지연 시간을 조절하여 펄스의 폭을 조절할 수 있다.

<55> 도 4는 도 2와 도 3의 프리 드라이버 회로를 구비한 본 발명의 일실시예인 출력 드라이버를 도시한다.

<56> 도 4의 출력 드라이버는 풀업 프리 드라이버(400)와 풀다운 프리 드라이버(410)와 구동부(420)로 구성된다.

<57> 풀업 프리 드라이버(400)와 풀다운 프리 드라이버(410)의 동작은 도 2와 3에서 각각 설명하였으므로, 더 이상 설명하지 않는다.

<58> 구동부(420)는 전원전압(VDDQ)과 접지 전압(VSSQ)사이에 직렬로 연결된 풀업 트랜ジ스터(41)와 저항(43, 44)과 풀다운 트랜ジ스터(42)로 구성된다. 여기서, 저항(43, 44)은 선택적이다. 따라서, 구동부(420)는 전원전압(VDDQ)과 접지 전압(VSSQ)사이에 직렬로 연결된 풀업 트랜ジ스터(41)와 풀다운 트랜ジ스터(42)만으로 구성할 수 있다.

<59> 도 4의 동작에 있어서, 풀업 프리 드라이버(400)와 풀다운 프리 드라이버(410)로부터 출력되는 신호(/up, dn)의 슬루 레이트를 감소시킴으로써, 구동부(420)로부터 출력되는 신호(OUT)의 슬루 레이트의 최대값을 조절할 수 있다.

<60> 도 5는 슬루 레이트 제어를 위한 프리 드라이버 회로를 구비한 본 발명의 제 2 실시예인 출력 드라이버를 도시한다.

<61> 도 5의 출력 드라이버는 풀업 프리 드라이버(500)와 풀다운 프리 드라이버(510)와 구동부(520)로 구성된다.

<62> 구동부(520)는 전원전압(VDDQ)과 접지 전압(VSSQ)사이에 직렬로 연결된 풀업 트랜ジ스터(51)와 저항(53, 54)과 풀다운 트랜ジ스터(52)로 구성된다. 여기서, 저항(53, 54)은 선택적이다. 따라서, 구동부(520)는 전원전압(VDDQ)과 접지 전압(VSSQ)사이에 직렬로 연결된 풀업 트랜ジ스터(51)와 풀다운 트랜ジ스터(52)만으로 구성할 수 있다.

<63> 도 5에 도시된 출력 드라이버는 풀업 프리 드라이버(500)와 풀다운 프리 드라이버(510)의 구조가 도 4의 경우와 조금 차이가 있는 것을 제외하고는 도 4 의 회로와 사실상 동일하다.

<64> 도 5에서 알 수 있듯이, 도 5에 구현된 풀업 프리 드라이버(500)와 풀다운 프리 드라이버(510)는 펠스 발생 회로를 사용하지 않는다. 이 경우, 슬루 레이트 제어력이 도 4의 경우보다 매우 큼을 알 수 있다. 즉, 도 5의 경우는 슬루 레이트가 매우 큰 경우 사용하는 것이 바람직하다.

<65> 도 6은 슬루 레이트 제어를 위한 프리 드라이버 회로를 구비한 본 발명의 제 3 실시예인 출력 드라이버를 도시한다.

<66> 도 6의 출력 드라이버는 풀업 프리 드라이버(600)와 풀다운 프리 드라이버(610)와 구동부(620)로 구성된다.

<67> 구동부(620)는 전원전압(VDDQ)과 접지 전압(VSSQ)사이에 직렬로 연결된 풀업 트랜지스터(61)와 저항(63, 64)와 풀다운 트랜지스터(62)로 구성된다. 여기서, 저항(63, 64)은 선택적이다. 따라서, 구동부(620)는 전원전압(VDDQ)과 접지 전압(VSSQ)사이에 직렬로 연결된 풀업 트랜지스터(61)와 풀다운 트랜지스터(62)만으로 구성할 수 있다.

<68> 도 6에 도시된 출력 드라이버는 풀업 프리 드라이버(600)와 풀다운 프리 드라이버(610)의 구조가 도 4의 경우와 조금 차이가 있는 것을 제외하고는 도 4 의 회로와 사실상 동일하다.

<69> 도 6에서 알 수 있듯이, 도 6에 구현된 풀업 프리 드라이버(600)와 풀다운 프리 드라이버(610)는 CMOS 대신에 독립적으로 동작하는 PMOS 트랜지스터와 NMOS 트랜지스터를 사용한다. 도 6의 회로의 동작은 실질적으로 도 4 의 경우와 동일하다.

<70> 본 발명의 출력 드라이버를 사용하는 경우, 출력 신호의 슬루 레이트를 적정 범위내로 제어할 수 있다. 따라서, 출력 드라이버를 통하여 출력되는 신호의 SI(signal integrity) 특성을 개선할 수 있다.

<71> 또한, 본 발명의 프리 드라이버를 사용하는 경우, PVT 변동으로 인한 소자 특성의 변동에 의하여 초래될 수 있는 슬루 레이트 변동을 제어할 수 있다.

<72> 또한, 본 발명 실시예의 단순한 변형은 본 발명의 범주에 속한다고 보아야 할 것이다.

【발명의 효과】

<73> 이상에서 알 수 있는 바와같이, 본 발명에서는 프리 드라이버에서 슬루 레이트를 제어할 수 있는 방법을 제공함으로써, 출력 신호의 SI 특성을 개선시키며, 안정된 신호를 외부 시스템으로 전달할 수 있다.

【특허청구범위】**【청구항 1】**

제 1 신호를 수신하여 슬루 레이트가 제어된 제 2 신호를 출력하는 제 1 프리 드라이버 와,

제 3 신호를 수신하여 슬루 레이트가 제어된 제 4 신호를 출력하는 제 2 프리 드라이버 와,

전원전압과 접지전압사이에 직렬로 연결되어 있는 풀업 트랜지스터와 풀다운 트랜지스터 를 구비하며,

상기 풀업 트랜지스터는 상기 제 2 신호에 의하여 턴온/오프되며, 상기 풀다운 트랜지스터는 상기 제 4 신호에 의하여 턴온/오프되는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 2】

제 1 항에 있어서,

상기 제 1 프리 드라이버는

상기 제 1 신호를 수신하는 CMOS 인버터와,

상기 제 1 신호를 수신하여 일정한 폭을 갖는 펄스 신호를 출력하는 펄스 생성 회로와,

상기 펄스 생성 회로로부터 출력되는 상기 펄스 신호를 수신하는 제 1 제어부와,

상기 제 1 제어부로부터 출력되는 제어신호에 의하여 턴온/오프되는 제 2 제어부를 구비하며,

상기 제 2 제어부는 전원전압과 상기 CMOS 인버터의 출력단 사이에 위치하며, 상기 제 2 신호는 상기 CMOS 인버터의 출력단에서의 출력 신호를 나타내며, 상기 펄스 생성 회로로부터 발생된 상기 펄스 신호에 의하여 상기 제 1 및 제 2 제어부가 순차적으로 인에이블되며, 상기 제 2 제어부가 인에이블되는 경우 상기 전원전압이 상기 출력단으로 공급되는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 3】

제 2 항에 있어서,

상기 펄스 신호가 인에이블되어 있는 동안만 상기 제 2 제어부가 인에이블되는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 4】

제 2 항에 있어서,

상기 제 1 제어부는 상기 전원전압과 접지전압 사이에 직렬로 연결된 저항 성분 및 트랜ジ스터를 구비하며,

상기 펄스 신호가 인에이블되어 있는 동안 상기 제 1 제어부의 트랜ジ스터가 터온되어 상기 제 2 제어부를 인에이블시키는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 5】

제 4 항에 있어서,

상기 CMOS 인버터는 상기 전원전압과 접지전압 사이에 위치하며, 상기 CMOS 인버터의 NMOS 트랜ジ스터와 상기 제 1 제어부의 트랜ジ스터는 PVT 변동 특성은 유사한 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 6】

제 5 항에 있어서, 상기 제 1 제어부의 트랜지스터는 NMOS 트랜지스터이고, 상기 제 2 제어부는 PMOS 트랜지스터인 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 7】

제 1 항에 있어서,

상기 제 1 프리 드라이버는

상기 제 1 신호를 수신하는 CMOS 인버터와,

상기 제 1 신호를 수신하는 제 1 제어부와,

상기 제 1 제어부로부터 출력되는 제어신호에 의하여 턴온/오프되는 제 2 제어부를 구비하며,

상기 제 2 제어부는 전원전압과 상기 CMOS 인버터의 출력단 사이에 위치하며, 상기 제 2 신호는 상기 CMOS 인버터의 출력단에서의 출력 신호를 나타내며, 상기 제 1 신호가 인에이블되면 상기 제 1 및 제 2 제어부가 순차적으로 인에이블되며, 상기 제 2 제어부가 인에이블되는 경우 상기 전원전압을 상기 출력단으로 공급하는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 8】

제 7 항에 있어서,

상기 제 1 제어부는 상기 전원전압과 접지전압 사이에 직렬로 연결된 저항 성분 및 트랜지스터를 구비하며,

상기 제 1 신호가 인에이블되어 있는 동안 상기 제 1 제어부의 트랜지스터가 턴온되어
상기 제 2 제어부를 인에이블시키는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 9】

제 1 항에 있어서,

상기 제 2 프리 드라이버는

상기 제 3 신호를 수신하는 CMOS 인버터와,

상기 제 3 신호를 수신하여 일정한 폭을 갖는 펄스 신호를 출력하는 펄스 생성 회로와,

상기 펄스 생성 회로로부터 출력되는 상기 펄스 신호를 수신하는 제 1 제어부와,

상기 제 1 제어부로부터 출력되는 제어신호에 의하여 턴온/오프되는 제 2 제어부를 구
비하며,

상기 제 2 제어부는 상기 CMOS 인버터의 출력단과 접지전압 사이에 위치하며, 상기 제 4
신호는 상기 CMOS 인버터의 출력단에서의 출력 신호를 나타내며, 상기 펄스 생성 회로로부터
발생된 상기 펄스 신호에 의하여 상기 제 1 및 제 2 제어부가 순차적으로 인에이블되며, 상기
제 2 제어부가 인에이블되는 경우 상기 접지전압이 상기 출력단으로 공급되는 것을 특징으로
하는 반도체 장치용 출력 드라이버.

【청구항 10】

제 9 항에 있어서,

상기 펄스 신호가 인에이블되어 있는 동안만 상기 제 2 제어부가 인에이블되는 것을 특
징으로 하는 반도체 장치용 출력 드라이버.

【청구항 11】

제 9 항에 있어서,

상기 제 1 제어부는 상기 전원전압과 접지전압 사이에 직렬로 연결된 트랜지스터와 저항 성분을 구비하며,

상기 펄스 신호가 인에이블되어 있는 동안 상기 제 1 제어부의 트랜지스터가 터온되어 상기 제 2 제어부를 인에이블시키는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 12】

제 11 항에 있어서,

상기 CMOS 인버터는 상기 전원전압과 접지전압 사이에 위치하며, 상기 CMOS 인버터의 PMOS 트랜지스터와 상기 제 1 제어부의 트랜지스터의 PVT 변동 특성은 유사한 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 13】

제 12 항에 있어서, 상기 제 1 제어부의 트랜지스터는 PMOS 트랜지스터이고, 상기 제 2 제어부는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 14】

제 1 항에 있어서,

상기 제 2 프리 드라이버는

상기 제 3 신호를 수신하는 CMOS 인버터와,

상기 제 3 신호를 수신하는 제 1 제어부와,

상기 제 1 제어부로부터 출력되는 제어신호에 의하여 턴온/오프되는 제 2 제어부를 구비하며,

상기 제 2 제어부는 상기 CMOS 인버터의 출력단과 접지전압 사이에 위치하며, 상기 제 4 신호는 상기 CMOS 인버터의 출력단에서의 출력 신호를 나타내며, 상기 제 3 신호가 인에이블되어 있는 동안 상기 제 1 및 제 2 제어부가 순차적으로 인에이블되며, 상기 제 2 제어부가 인에이블되는 경우 상기 접지전압이 상기 출력단으로 공급되는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【청구항 15】

제 14 항에 있어서,

상기 제 1 제어부는 상기 전원전압과 접지전압 사이에 직렬로 연결된 트랜ジ스터와 저항 성분을 구비하며,

상기 제 1 신호가 인에이블되어 있는 동안 상기 제 1 제어부의 트랜ジ스터가 턴온되어 상기 제 2 제어부를 인에이블시키는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

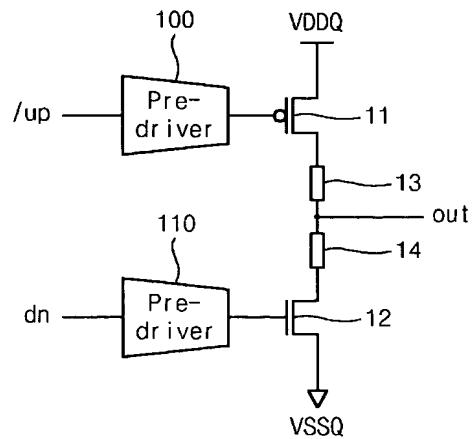
【청구항 16】

제 1 항에 있어서,

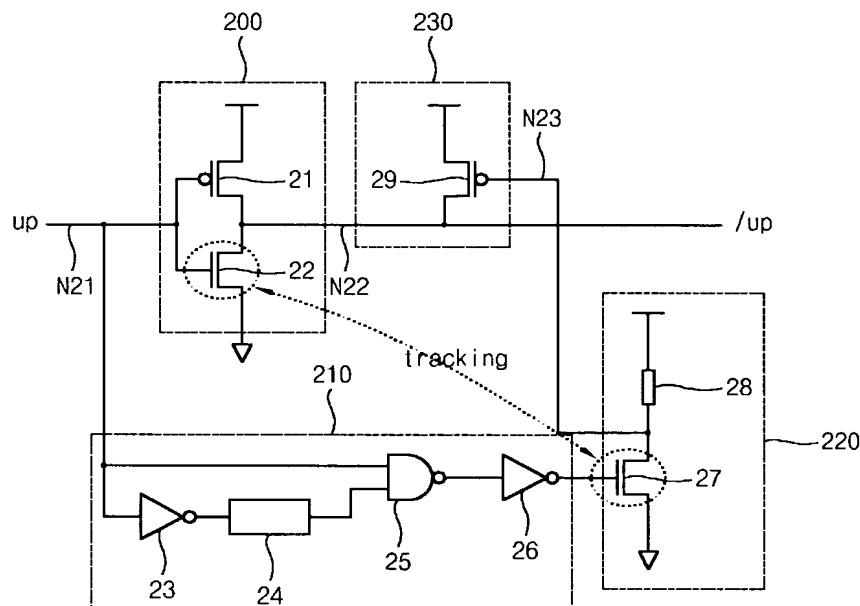
상기 풀업 트랜ジ스터와 상기 풀다운 트랜지스터사이에 제 1 및 제 2 저항 성분이 연결되어 있는 것을 특징으로 하는 반도체 장치용 출력 드라이버.

【도면】

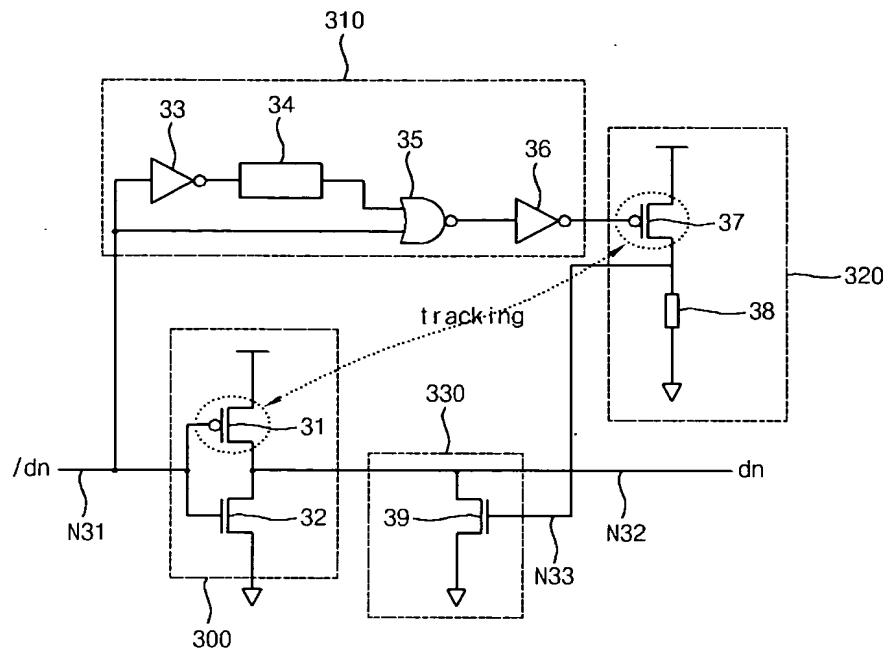
【도 1】



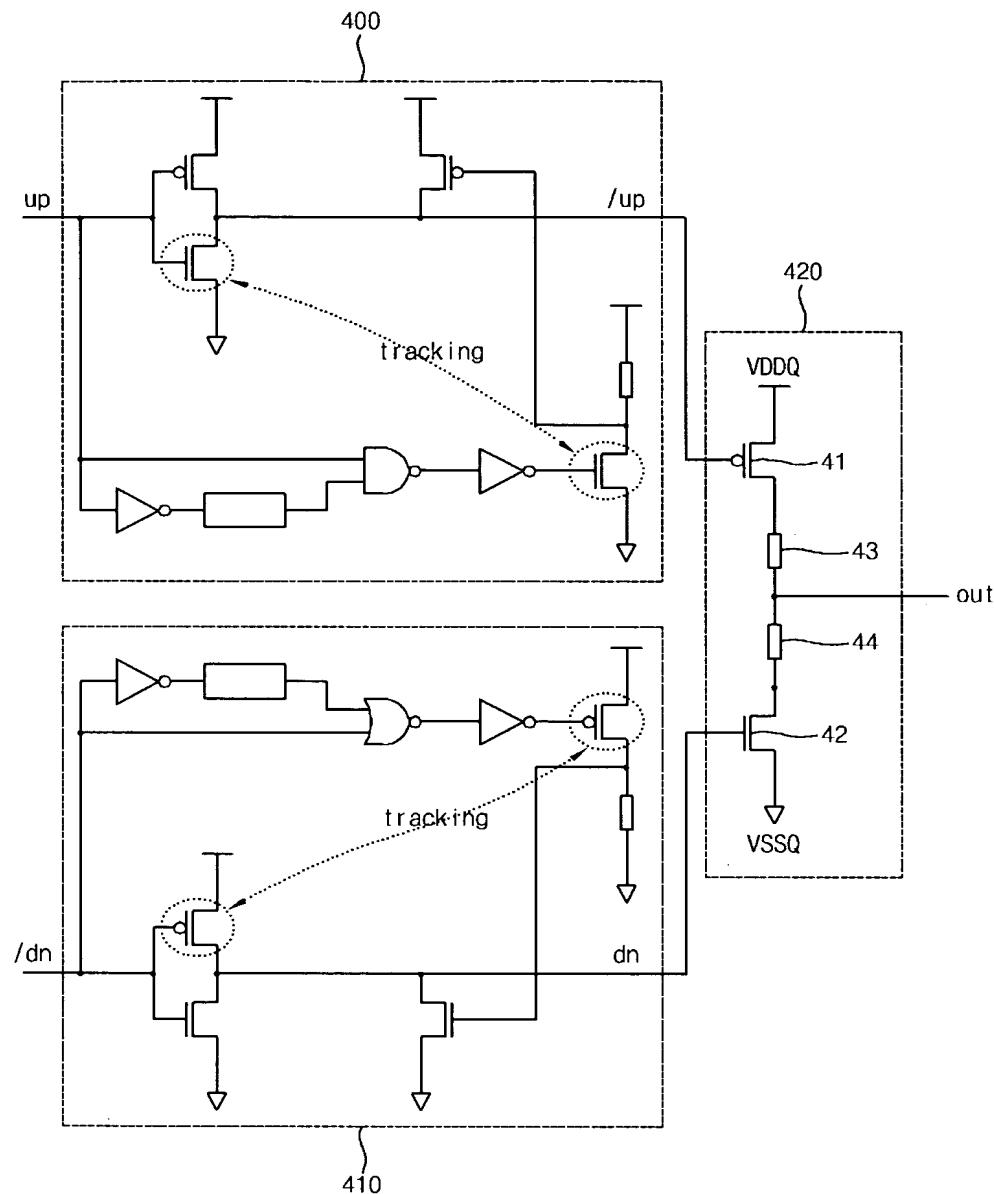
【도 2】



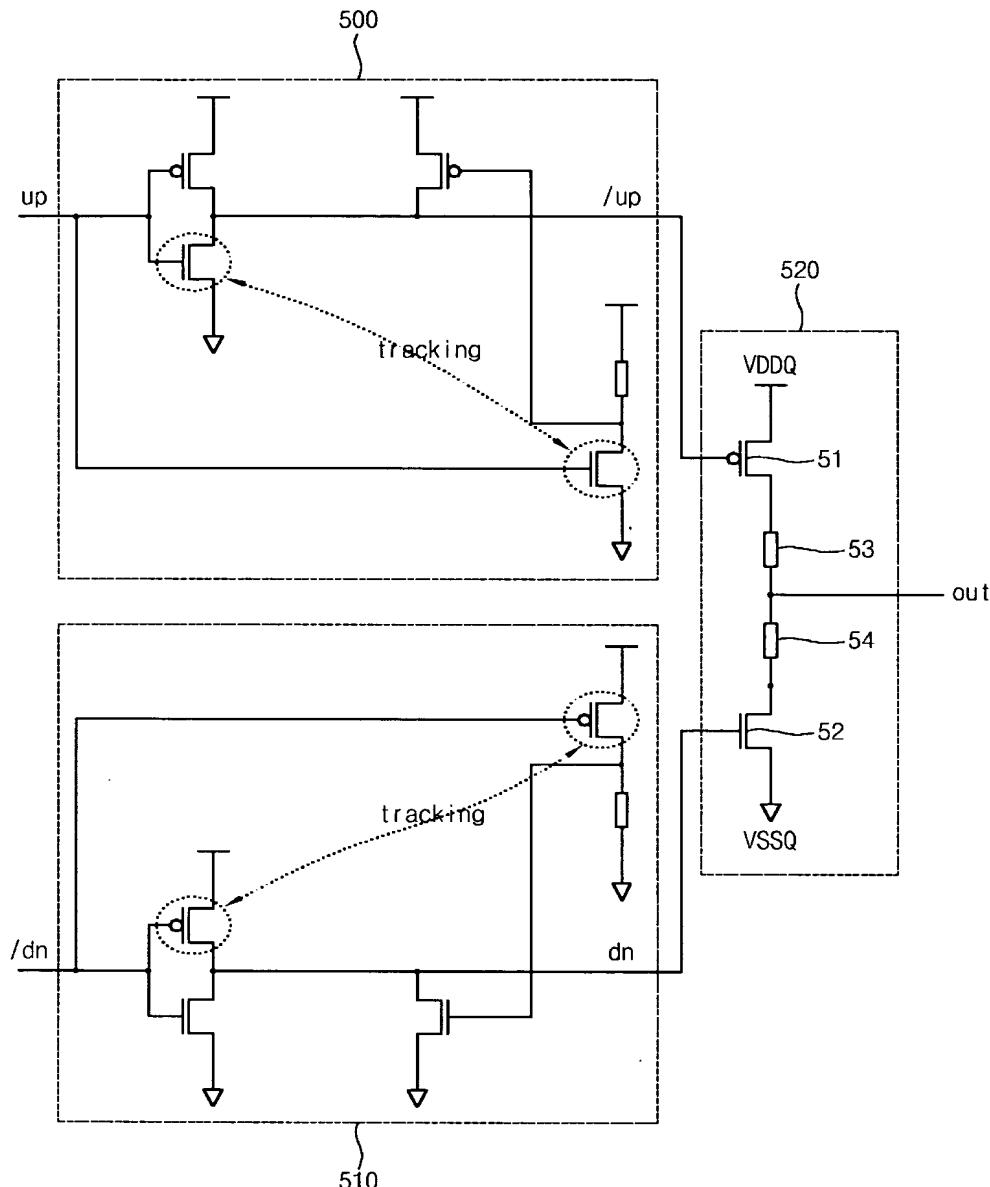
【도 3】



【도 4】



【도 5】



【도 6】

